

j1036 U.S. PTO
09/994284
11/26/01



대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2000년 제 70219 호
Application Number PATENT-2000-0070219

출원년월일 : 2000년 11월 24일
Date of Application NOV 24, 2000

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.

2001 년 07 월 24 일

특허청
COMMISSIONER

【서지사항】

【서류명】 출원인정보변경 (경정)신고서
【수신처】 특허청장
【제출일자】 20010417
【출원인】
 【명칭】 주식회사 하이닉스반도체
 【출원인코드】 119980045698
【대리인】
 【성명】 특허법인 신성 정지원
 【대리인코드】 920000002923
【변경사항】
 【경정항목】 한글 성명(명칭)
 【경정전】 현대전자산업주식회사
 【경정후】 주식회사 하이닉스반도체
【변경사항】
 【경정항목】 영문 성명(명칭)
 【경정전】 HYUNDAI ELECTRONICS IND. CO., LTD
 【경정후】 Hynix Semiconductor Inc.
【변경사항】
 【경정항목】 인감
 【경정전】
 【경정후】
【취지】 특허법시행규칙 제9조·실용신안법시행규칙 제12조·의장법
 시행규칙 제28조 및 상표법시행규칙 제23조의 규정에 의하
 여 위와 같이 신고합니다.

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2000.11.24
【발명의 명칭】	반도체 소자의 게이트 제조방법
【발명의 영문명칭】	METHOD FOR MANUFACTURING GATE IN SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	현대전자산업주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	이상익
【성명의 영문표기】	LEE, Sang Ick
【주민등록번호】	640325-1109921
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 아미리 753 현대7차아파트 704동 1901호
【국적】	KR
【발명자】	
【성명의 국문표기】	김형환
【성명의 영문표기】	KIM, Hyung Hwan
【주민등록번호】	700324-1644030
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 아미리 753 현대7차아파트 702동 1804호
【국적】	KR
【발명자】	
【성명의 국문표기】	장세억
【성명의 영문표기】	JANG, Se Aug
【주민등록번호】	660305-1772811

1020000070219

2001/7/2

【우편번호】 467-860
【주소】 경기도 이천시 부발읍 신하리 481-1번지 삼악아파트 104동
 1201호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정
 에 의한 출원심사 를 청구합니다. 대리인
 강성배 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 9 항 397,000 원
【합계】 426,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 반도체 소자의 게이트 제조방법에 관한 것으로, 소자를 분리하는 필드 산화막이 형성된 반도체 상에 더미게이트용 절연막을 형성하는 단계; 상기 더미게이트용 절연막 상부에 더미게이트용 폴리 실리콘막과 하드마스크막을 차례로 증착하는 단계; 상기 하드마스크막을 마스크 패턴으로 형성하고, 상기 마스크 패턴을 식각장벽으로 하여 상기 더미게이트용 폴리 실리콘막을 패터닝하는 단계; 상기 더미게이트용 폴리 실리콘막 양측벽에 스페이서를 형성하는 단계; 상기 스페이서 형성 후의 결과물상에 층간절연막을 증착하는 단계; 상기 더미게이트용 폴리 실리콘막에 대해 고선택비를 가지는 산화막 화학기계연마 공정을 진행하여 상기 폴리 실리콘막 표면을 노출시키는 단계; 상기 층간절연막을 식각장벽으로 하여 더미게이트용 실리콘막 및 더미게이트 절연막을 제거하여 다마신 구조를 형성하는 단계; 상기 다마신 구조를 갖는 반도체 기판 전 표면상에 게이트 게이트용 금속막을 증착하는 단계; 및 상기 층간절연막에 대해 고선택비를 가지는 금속 화학기계연마 공정을 진행하여 상기 층간절연막 표면을 노출시키는 단계를 포함하는 것을 특징으로 한다. 이에 의해 화학기계연마된 표면이 파형(wave)을 이루게된다.

【대표도】

도 3f

【명세서】**【발명의 명칭】**

반도체 소자의 게이트 제조방법 {METHOD FOR MANUFACTURING GATE IN SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1a 내지 도 1f는 종래의 다마신 공정을 적용한 반도체 소자의 게이트 제조방법을 설명하기 위한 단면도.

도 2는 종래의 다마신 공정을 적요한 반도체 소자의 게이트 제조방법에 대한 문제점을 설명하기 위한 단면도.

도 3a 내지 도 3f는 본 발명의 다마신 공정을 적용한 반도체 소자의 게이트 제조방법을 설명하기 위한 단면도.

*** 도면의 주요 부분에 대한 부호설명 ***

20 : 반도체 기판

21 : 필드산화막

22 : 더미게이트용 실리콘 산화막 23 : 더미게이트용 폴리실리콘막

24 : 하드마스크막

24a : 마스크 패턴

25 : 스페이서

26 : 층간절연막

27 : 게이트 절연막

28 : 게이트용 금속막

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체 소자의 게이트 제조방법에 관한 것으로, 다마신 공정을 적용한 금속게이트 제조방법에 관한 것이다.

<11> 반도체 소자의 집적도가 증가됨에 따라 게이트 전극의 선폭, 게이트 절연막의 두께, 접합 깊이 등의 변수값이 감소되고 있는 추세에서, 폴리실리콘 재질의 게이트 전극으로는 미세 선폭에서 요구되는 저저항 값을 구현하는데, 그 한계가 있다. 이에 따라, 상기 폴리실리콘을 대체할 수 있는 새로운 물질 및 구조의 게이트에 대한 개발이 필요하게 되었고, 초기에는 전이금속-실리사이드계 물질을 적용한 폴리사이드 게이트에 대한 연구 및 개발이 활발하게 진행되었다.

<12> 그런데, 상기 폴리사이드 게이트는 그 내부에 폴리실리콘이 존재하는 것에 기인해서 낮은 저항을 구현하는데 한계가 있다. 자세하게, 폴리사이드 게이트에서는 게이트 공핍화(gate depletion effect)로 인한 게이트 절연막의 유효 두께의 증가, p⁺ 폴리실리콘 게이트에서의 보론 침투 현상(boron penetration) 및 도편트 분포 변동(fluctuation)에 의한 문턱전압의 변화 등의 문제점이 있다.

<13> 따라서, 최근에는 금속 게이트에 대한 연구 및 개발이 적극적으로 추진되고 있다. 상기 금속 게이트는 도편트를 사용하지 않기 때문에 폴리사이드 게이트에서 발생되는 게이트 공핍화 및 보론 침투 현상을 방지할 수 있고, 또한, 실리콘의 미드 밴드-갭(mid band-gap)에 위치하는 일함수 값을 갖는 금속을 사용함으로써 NMOS 및 PMOS 영역에서 동

시에 사용할 수 있는 단일 게이트로서 적용할 수 있다. 여기서, 일함수 값이 실리콘의 디드 밴드-갭에 해당하는 금속으로서는 텅스텐(W), 질화텅스텐(WN), 티타늄(Ti), 질화티타늄(TiN), 몰리브덴(Mo), 탄탈륨(Ta) 및 질화탄탈늄(TaN)막 등이 있다.

<14> 한편, 금속 게이트를 반도체 소자에 적용할 경우, 금속 게이트의 패터닝, 즉, 식각의 어려움, 식각 및 이온주입시의 플라즈마에 의한 데미지(damage) 및 후속 공정에 의한 열적 데미지 등의 공정 상의 문제점이 유발되며, 그래서, 소자 특성이 저하되는 문제점이 있다.

<15> 따라서, 상기한 공정 상의 문제점을 해결하기 위해서, 다마신(Damascence) 공정을 이용하는 방법이 제안되었다. 상기 다마신 공정을 이용한 금속 게이트 형성방법은 폴리실리콘 재질의 희생 게이트를 형성한 후, 충간절연막 형성, 희생 게이트의 제거, 금속막 증착 및 금속막에 대한 연마를 통해 상기 희생 게이트를 금속 게이트로 변경시키는 기술이며, 식각 공정없이 게이트를 형성할 수 있는 바, 식각 공정에 기인된 문제를 방지할 수 있고, 특히, 기존의 반도체 제조 공정을 그대로 이용할 수 있다는 장점이 있다.

<16> 이하, 종래 기술에 따른 다마신 공정을 이용한 텅스텐 게이트 모스펫 소자의 제조 방법을 도 1a 내지 도 1g를 참조하여 설명하도록 한다.

<17> 먼저, 도 1a에 도시된 바와 같이, 반도체 기판(1)의 표면에 소자 형성 영역을 한정하는 필드산화막들(도시되지 않음)을 형성하고, 그런 다음, 반도체 기판(1) 상에 더미게이트 실리콘 산화막(2)을 형성한다. 이어서, 상기 더미게이트 실리콘 산화막(2) 상에 더미게이트용 폴리실리콘막(3) 및 하드 마스크막(4)을 차례로 증착한다.

<18> 다음으로, 도 1b에 도시된 바와 같이, 상기 하드 마스크막을 패터닝하여 마스크 패

턴(4a)을 형성하고, 상기 마스크 패턴(4a)을 이용하여 그 하부의 더미 게이트용 폴리실리콘막(3) 및 실리콘 산화막(2)을 식각하는 것에 의해서 더미 게이트(5)를 형성한다.

<19> 그런 다음, 도 1c에 도시된 바와 같이, 상대적으로 낮은 도우즈(dose) 및 에너지의 이온주입 공정을 수행하여 상기 더미 게이트(5) 양측의 실리콘 기판 부분에 LDD(Lightly Doped Drain) 영역을 형성하고, 더미 게이트(5) 양측벽에 공지된 바와 같이 스페이서(6)를 형성한다. 그리고나서, 더미 게이트(5) 양측의 실리콘 기판 부분에 고농도 이온주입을 실시하여 소오스/드레인 영역(s, d)을 형성한다.

<20> 그 다음, 도 1d에 도시된 바와 같이, 상기 반도체 기판(1)상에 층간 절연막(7)을 증착한 후, 상기 층간 절연막(7)을 화학적기계적연마(Chemical Mechanical Polishing : 이하, CMP) 공정으로 연마하여 그 표면을 평탄화시키면서, 상기 더미 게이트용 폴리실리콘막(3)을 노출시킨다.

<21> 이어서, 도 1e에 도시된 바와 같이, 상기 CMP 공정의 결과로 노출된 더미 게이트를 선택적으로 제거하고, 상기 결과물의 표면을 따라서 게이트 절연막(8)을 형성한 후, 그 상부에 게이트용 금속막(9), 예컨대, 텅스텐막을 증착한다.

<22> 그리고나서, 도 1f에 도시된 바와 같이, 상기 층간 절연막(7)이 노출될 때까지, 상기 게이트용 금속막(9) 및 게이트 절연막(8)을 연마하여 금속게이트(10)를 형성하고, 그 결과로, 금속게이트(10)를 갖는 모스펫(MOSFET) 소자를 완성한다.

【발명이 이루고자 하는 기술적 과제】

<23> 그러나, 종래의 다마신 공정을 적용한 게이트 제조방법은 다음과 같은 문제점이 있다.

<24> 반도체 제조 공정에서 게이트 전극 형성 전에는 반드시 소자분리공정이 선행되며. 하나의 게이트전극 라인은 활성영역과 필드영역 위를 동시에 지나간다. 또한 통상적으로 도 2에 도시된 바와같이, 소자분리공정에서 필드산화막(11) 표면은 활성영역(t)의 반도체 기판(1) 보다 높게 형성된다. 이러한 필드영역(h)과 활성영역(t)간의 단차(a)는 통상적으로 200 ~ 500Å의 차이를 가진다.

<25> 통상적인 CMP 공정은 필드영역(h)과 활성영역(t) 구분없이 AA' 점선으로 도시된 바와같이 전체적으로 완전 평탄화를 이룬다. 이것은 도 1d에서, 더미게이트용 폴리 실리콘막(3)이 노출될 때까지 연마공정을 수행하게 되면 불균일한 두께의 폴리 웨드라인이 형성되는 문제점이 있다. 하지만, 다마신 공정을 적용한 게이트 전극을 형성하기 위해서는 CMP 공정에 의해 상기 폴리실리콘막(3)의 표면이 노출되어야 하므로, 이러한 필드산화막의 높이를 감안하여, 폴리실리콘막의 두께를 단차(a) 만큼 더 두껍게 증착하여야 하며, 이에따라, 이를 패터닝하기 위한 하드마스크막의 두께도 약 100Å 이상 상향되어야 한다.

<26> 상기와 같은 결과로 더미게이트(5)의 전체의 높이가 300 ~ 600Å 정도 더 두꺼워지므로 더미게이트용 폴리실리콘막(3)의 식각공정이 그 만큼 더 힘들어지며, 아울러, 선택적으로 더미게이트를 제거하기 어려워지고 그 제거된 부분에 게이트용 금속막을 매립하기도 어려워진다.

<27> 따라서, 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로, CMP 공정에 고식각선택비를 이용함으로써 더미게이트용 폴리실리콘막의 두께를 낮출 수 있어 후속 공정의 난이도를 완화할 수 있는 다마신 공정을 적용한 게이트 제조방법을 제공하는 데에 그 목적이 있다.

【발명의 구성 및 작용】

<28> 상기와 같은 목적을 달성하기 위하여, 본 발명은, 소자를 분리하는 필드 산화막이 형성된 반도체 상에 더미게이트용 절연막을 형성하는 단계; 상기 더미게이트용 절연막 상부에 더미게이트용 폴리 실리콘막과 하드마스크막을 차례로 증착하는 단계; 상기 하드마스크막을 마스크 패턴으로 형성하고, 상기 마스크 패턴을 식각장벽으로 하여 상기 더미게이트용 폴리 실리콘막을 패터닝하는 단계; 상기 더미게이트용 폴리 실리콘막 양측벽에 스페이서를 형성하는 단계; 상기 스페이서 형성후의 결과물상에 층간절연막을 증착하는 단계; 상기 더미게이트용 폴리 실리콘막에 대해 고선택비를 가지는 산화막 화학기계연마(CMP) 공정을 진행하여 상기 폴리 실리콘막 표면을 노출시키는 단계; 상기 층간절연막을 식각장벽으로 하여 더미게이트용 실리콘막 및 더미게이트 절연막을 제거하여 다마신 구조를 형성하는 단계; 상기 다마신 구조를 갖는 반도체 기판 전 표면상에 게이트 절연막과 게이트용 금속막을 증착하는 단계; 및 상기 층간절연막에 대해 고선택비를 가지는 금속 화학기계연마 공정을 진행하여 상기 층간절연막 표면을 노출시키는 단계를 포함하는 것을 특징으로 한다.

<29> 상기 더미게이트용 폴리 실리콘막은 1300 ~ 2000Å의 두께로 형성되며, 상기 층간절연막은 4000 ~ 5000Å의 두께로 형성된다.

<30> 상기 층간절연막과 더미게이트용 폴리실리콘막의 연마 선택비가 20 이상이 유지되도록 하는데, 상기 층간절연막 화학기계연마는 세리아(CeO_2) 입자를 포함한 슬러리를 사용한다. 여기서, 상기 세리아 입자를 포함한 슬러리의 pH는 3 ~ 11의 범위로 설정하는 것을 특징으로 한다.

<31> 또한, 상기 층간절연막과 게이트용 금속막과의 연마 선택비는 50 이상이 유지되도록

록 하는데, 상기 게이트용 금속막 화학기계연마는 금속막용 슬러리를 이용하여 연마한다. 여기서, 상기 금속막용 슬러리의 pH는 2 ~ 7의 범위로 설정되는 것을 특징으로 한다.

<32> 이하, 첨부된 도면을 참조하여 본 발명의 다마신 공정을 적용한 반도체 소자의 게이트 제조방법에 대한 일실시예를 상세히 설명한다.

<33> 도 3a 내지 도 3f는 본 발명의 바람직한 실시예를 설명하기 위한 단면도이다.

<34> 도 3a를 참조하면, 소자를 구분하는 필드산화막(21)들이 형성된 반도체 기판(20)상에 더미게이트용 실리콘 산화막(22)을 증착한다. 그런다음, 상기 더미게이트용 실리콘 산화막(22) 상부에 더미게이트용 실리콘막(23) 및 하드마스크막(24)을 차례로 증착한다. 여기서, 상기 더미게이트용 실리콘막(23)은 도핑된 폴리 실리콘막으로 구성되는 것이 바람직하다. 이는 이후 공정에서 습식식각 조건을 용이하게 설정하여 상기 폴리 실리콘막을 제거할 수 있게 하기 위함이다.

<35> 다음, 도 3b에 도시된 바와같이, 상기 하드마스크막(24)을 패터닝하여 마스크 패턴(24a)을 형성하고, 마스크 패턴(24a)을 식각장벽으로 하여 상기 더미게이트용 폴리 실리콘막(23)을 패터닝하여 더미게이트를 형성한다.

<36> 다음 도 3c를 참조하면, 통상적인 소오스/드레인 영역의 형성과정에서 상기 반도체 기판(20) 상에 저농도 이온주입을 실시하고, 이어서, 상기 반도체 기판상에 실리콘 질화막 증착 및 전면식각(blanket etch)공정을 수행하여 스페이서(25)를 형성하고, 고농도 이온주입을 실시하여 LDD(Lightly Doped Drain) 구조의 소오스/드레인 영역(s, d)을 형성한다. 그리고나서, 상기와 같이 형성된 반도체 기판(20)상에 층간절연막(26)을 증착한

다.

<37> 그런 다음 도 3d를 참조하면, 상기 층간 절연막(26)과 하드마스크막(24)을 CMP 공정을 수행하여 더미게이트용 폴리실리콘막(23) 표면을 노출시킨다. 이 때, 상기 폴리실리콘 막(23)이 연마되지 않도록 CMP 공정을 다음과 같은 조건으로 진행한다.

<38> 상기 더미게이트용 폴리실리콘막(23)과 층간 절연막(26)이 연마선택비를 갖기 위해 층간 절연막(23)의 연마에는 영향을 미치지 않는 슬러리를 선택하여야 한다. 일반적으로 세리아 입자를 포함한 슬러리가 이러한 특성을 가진다. 이러한 세리아 슬러리는 층간 절연막(26)과 폴리실리콘막(23)과의 연마선택비가 10 이상이다.

<39> 그러나 종래의 실리카 슬러리는 층간 절연막과 폴리실리콘막의 연마선택비가 오히려 1 이하이므로 폴리실리콘막 상에서의 정지는 불가능하다. 또한, 세리아를 이용한 폴리실리콘막에서의 정지 CMP 공정 시 압력을 낮추고 테이블 회전수는 높히는 연마공정이 층간 절연막(26)과 폴리실리콘막(23)의 연마선택비를 20 이상 증가시키는데 유리하다. 이 때, 세리아 슬러리의 pH는 3 ~ 11로 설정한다.

<40> 상기와 같은 절연막 CMP 공정 방식에 의해 도 3d에 도시된 바와 같이, 더미게이트용 폴리실리콘막(23) 단차에 따라 더미게이트 표면은 파형(wave)의 형상을 가지는 특징이 있다.

<41> 이어서 도 3e에 도시된 바와 같이, 상기 노출된 더미게이트용 실리콘막(23) 및 그 하부에 있는 더미게이트용 실리콘 산화막(22)을 선택적으로 제거하여 다마신 구조를 형성한다. 여기서, 상기 더미게이트용 실리콘막 및 실리콘 산화막은 습식 또는 건식식각에

의해 제거될 수 있다.

<42> 다음 도 3f를 참조하면, 상기 더미게이트용 폴리 실리콘막(23) 및 실리콘 산화막(22)이 제거된 반도체 기판(20) 상부에 게이트 절연막(27) 및 게이트용 금속막(28)을 차례로 적층한다. 그런다음, CMP 공정으로 게이트용 금속막(28) 및 게이트 절연막(27)을 연마하여 층간절연막(26) 표면을 노출시킨다. 이 때, 게이트용 금속막(28)을 연마하는 동안 층간절연막(26)이 연마되지 않도록 CMP 공정을 다음과 같은 조건으로 진행한다.

<43> 게이트용 금속막의 제거를 위한 CMP 공정은 카우프만이 제시한 메카니즘에 의해 슬러리에 포함된 산화제에 의해 게이트용 금속막을 금속산화물로 미리 형성시킨 후, 슬러리에 포함된 입자 예컨데, 실리카 또는 알루마나에 의해 기계적으로 금속산화물을 제거한다. 이 때, 슬러리를 산성, 예컨데, pH를 2 ~ 7 범위로 설정하여 그 반응을 촉진시키며 상기 산성에 의해 상기 게이트용 금속막이 제거된 후 드러나게 되는 층간 절연막은 거의 연마되지 않는다. 이에 의해 반도체 소자의 금속게이트가 형성된다.

【발명의 효과】

<44> 이상에서 자세히 설명한 바와같이, 더미게이트용 절연막/폴리실리콘막 또는 게이트 용 금속막/층간 절연막에 있어서 고선택비를 가지는 CMP용 슬러리를 이용하여 CMP된 표면이 과형을 이루게된다.

<45> 이것은, 상기 더미게이트용 폴리실리콘막의 높이를 낮출 수 있어서 패터닝 공정, 즉 도 3b에서의 더미게이트용 폴리실리콘막 식각공정이 용이해 진다. 또한 더미게이트층의 높이가 낮기 때문에 게이트 사이에 기공없이 층간절연막을 증착할 수 있다.

<46> 아울러, 더미게이트용 폴리실리콘막의 높이가 낮아 다마신 구조에서 더미게이트용

폴리실리콘막 및 절연막을 제거하는 공정이 용이해지고, 이어서 게이트용 금속막 매립공정이 안정적으로 수행될 수 있다.

<47> 기타, 본 발명의 요지를 벗어나지 않는 범위내에서 다양하게 변경하여 실시할 수 있다.

【특허청구범위】

【청구항 1】

소자를 분리하는 필드 산화막이 형성된 반도체 상에 더미게이트용 절연막을 형성하는 단계;

상기 더미게이트용 절연막 상부에 더미게이트용 폴리 실리콘막과 하드마스크막을

차례로 증착하는 단계;

상기 하드마스크막을 마스크 패턴으로 형성하고, 상기 마스크 패턴을 식각장벽으로

하여 상기 더미게이트용 폴리 실리콘막을 패터닝하는 단계;

상기 더미게이트용 폴리 실리콘막 양측벽에 스페이서를 형성하는 단계;

상기 스페이서 형성 후의 결과물상에 층간절연막을 증착하는 단계;

상기 더미게이트용 폴리 실리콘막에 대해 고선택비를 가지는 산화막 화학기계연마

(CMP) 공정을 진행하여 상기 폴리 실리콘막 표면을 노출시키는 단계;

상기 층간절연막을 식각장벽으로 하여 더미게이트용 실리콘막 및 더미게이트 절연

막을 제거하여 다마신 구조를 형성하는 단계;

상기 다마신 구조를 갖는 반도체 기판 전 표면상에 게이트 절연막과 게이트용 금

속막을 증착하는 단계; 및

상기 층간절연막에 대해 고선택비를 가지는 금속 화학기계연마 공정을 진행하여 상

기 층간절연막 표면을 노출시키는 단계를 포함하는 것을 특징으로 하는 반도체 소자의

게이트 제조방법.

【청구항 2】

제 1항에 있어서,

상기 더미 게이트용 폴리 실리콘막은 1300 ~ 2000Å의 두께로 형성되는 것을 특징으로 하는 반도체 소자의 게이트 제조방법.

【청구항 3】

제 1항에 있어서,

상기 층간질연막은 4000 ~ 5000Å의 두께로 형성되는 것을 특징으로 하는 반도체 소자의 게이트 제조방법.

【청구항 4】

제 1항에 있어서,

상기 층간질연막과 더미게이트용 폴리실리콘막의 연마 선택비는 20 이상이 유지되도록 하는 것을 특징으로 하는 반도체 소자의 게이트 제조방법.

【청구항 5】

제 1항에 있어서,

상기 절연막 화학기계연마는 세리아 입자를 포함한 슬러리를 사용하는 것을 특징으로 하는 반도체 소자의 게이트 제조방법.

【청구항 6】

제 5항에 있어서,

상기 세리아 입자를 포함한 슬러리의 pH는 3 ~ 11의 범위로 설정하는 것을 특징으로 하는 반도체 소자의 게이트 제조방법.

1020000070219

【청구항 7】

제 1항에 있어서,

상기 층간절연막과 게이트용 금속막과의 연마 선택비는 50 이상이 유지되도록 하는

것을 특징으로 하는 반도체 소자의 게이트 제조방법.

【청구항 8】

제 1항에 있어서,

상기 금속 화학기계연마는 금속막용 슬러리를 이용하는 것을 특징으로 하는 반도체

소자의 게이트 제조방법.

【청구항 9】

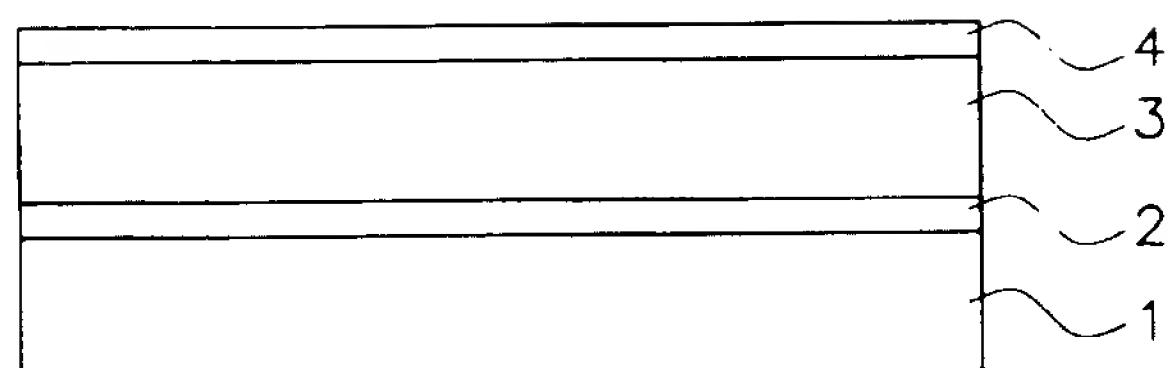
제 8항에 있어서,

상기 금속막용 슬러리의 pH는 2 ~ 7의 범위로 설정되는 것을 특징으로 하는 반도체

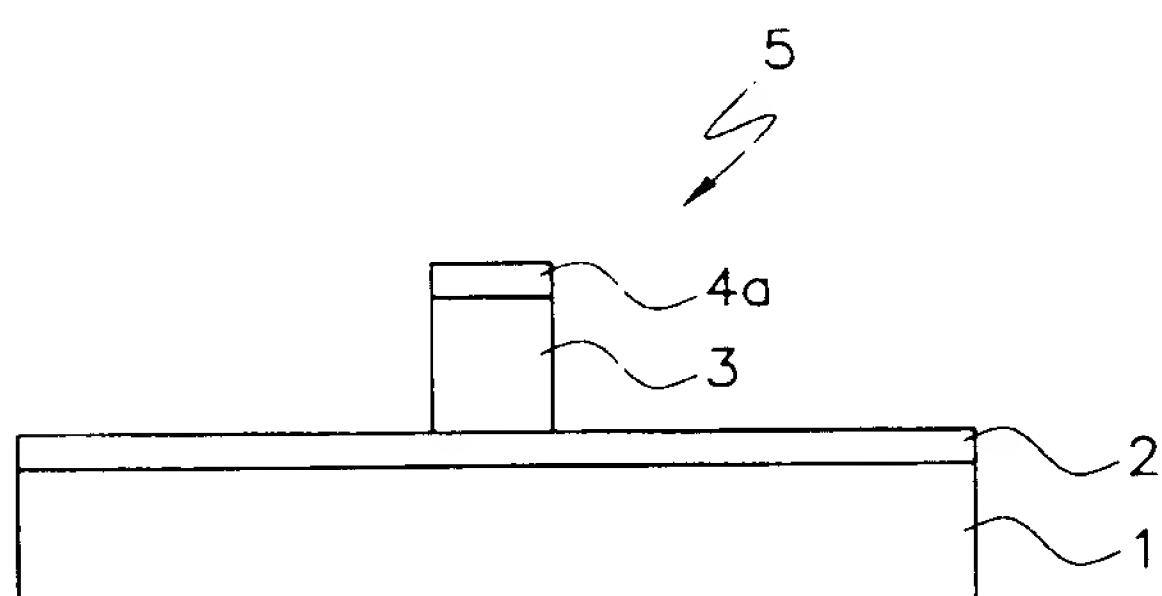
소자의 게이트 제조방법.

【도면】

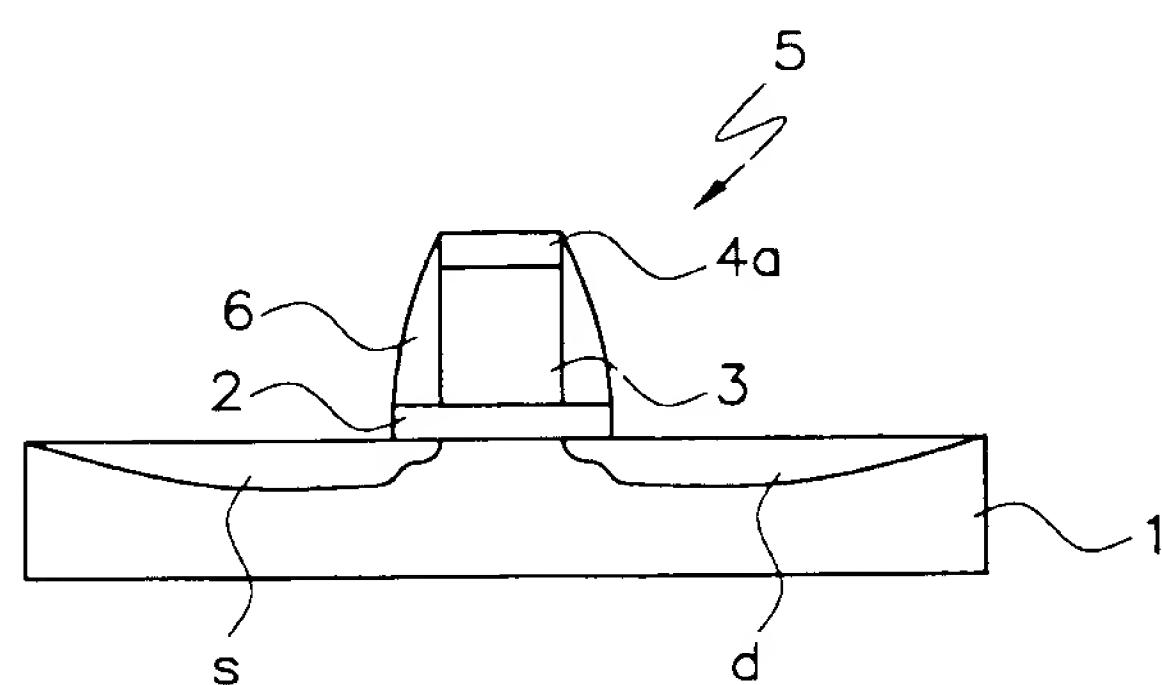
【도 1a】



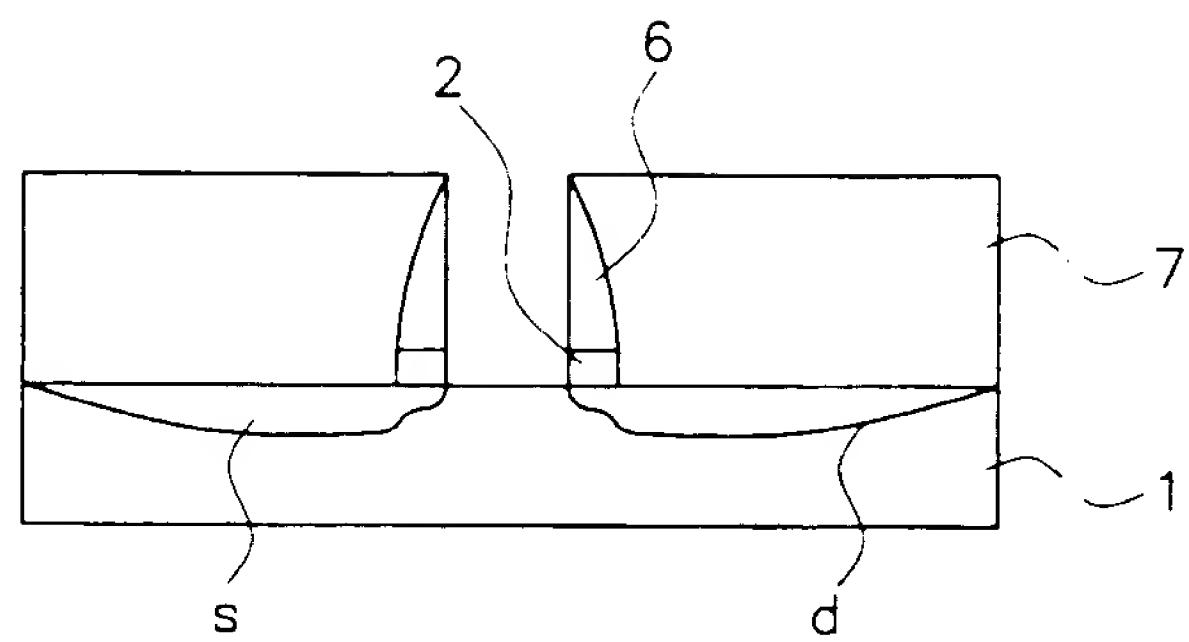
【도 1b】



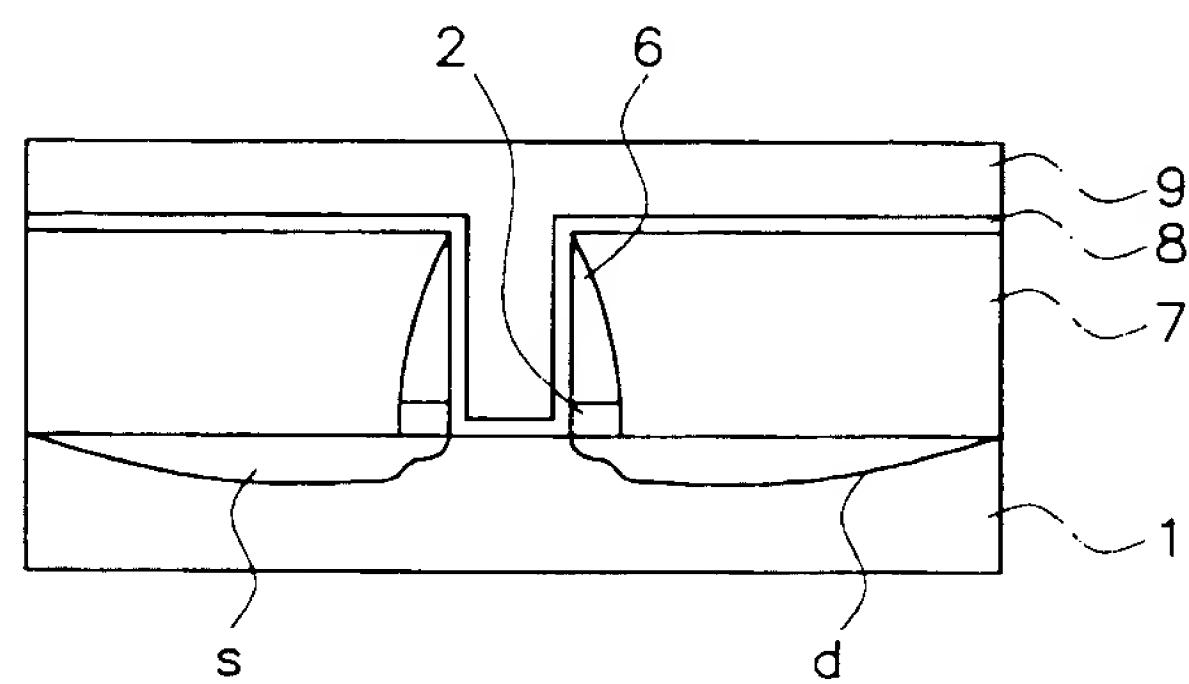
【도 1c】



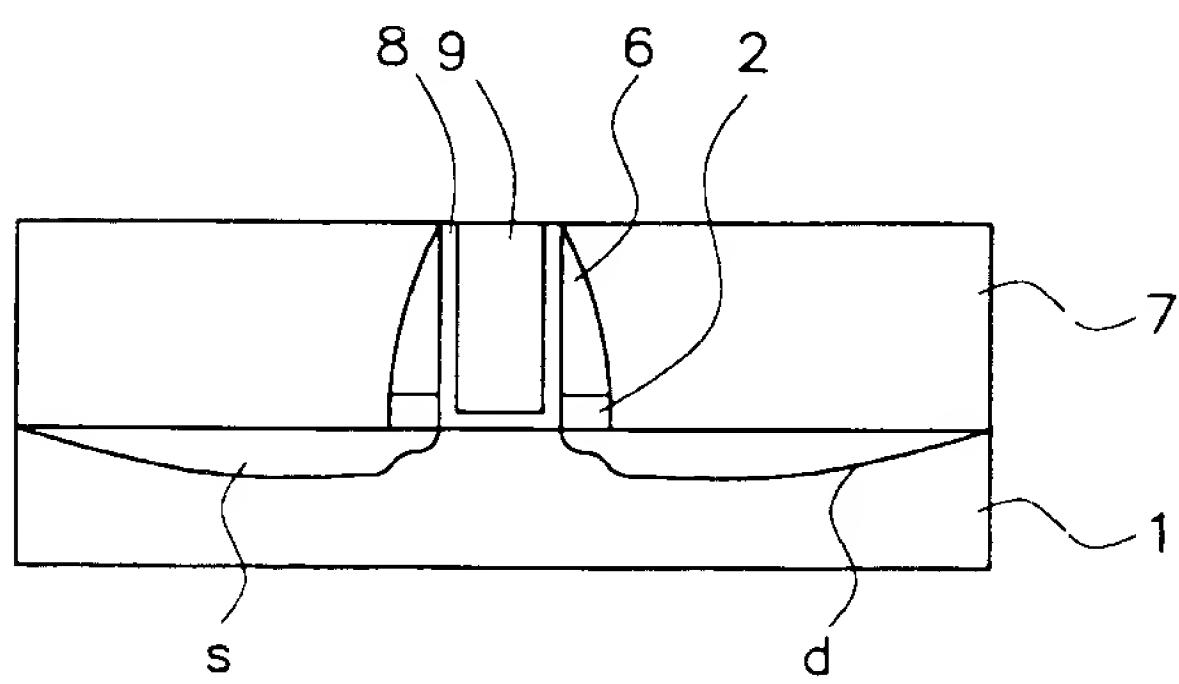
【도 1d】



【도 1e】



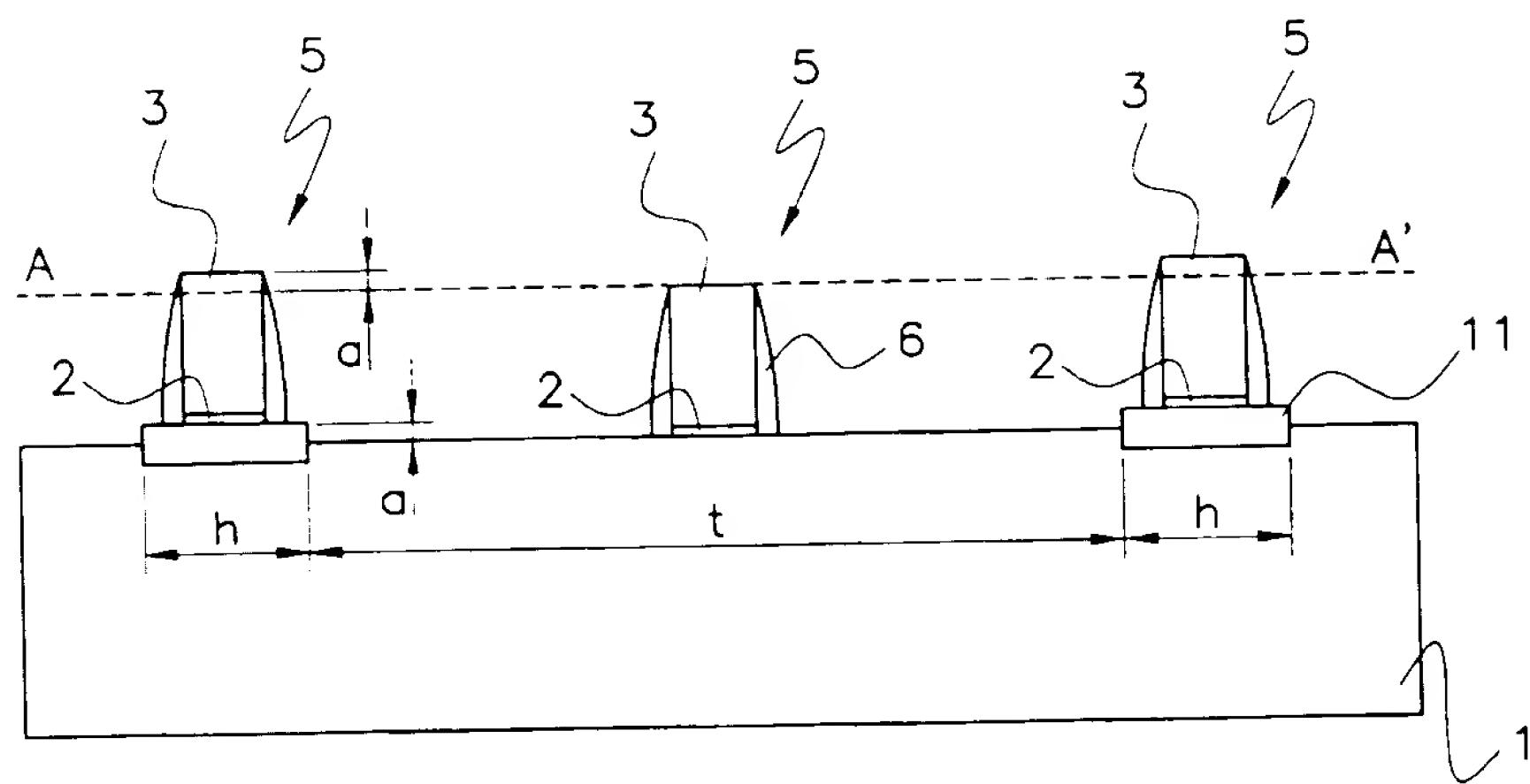
【도 1f】



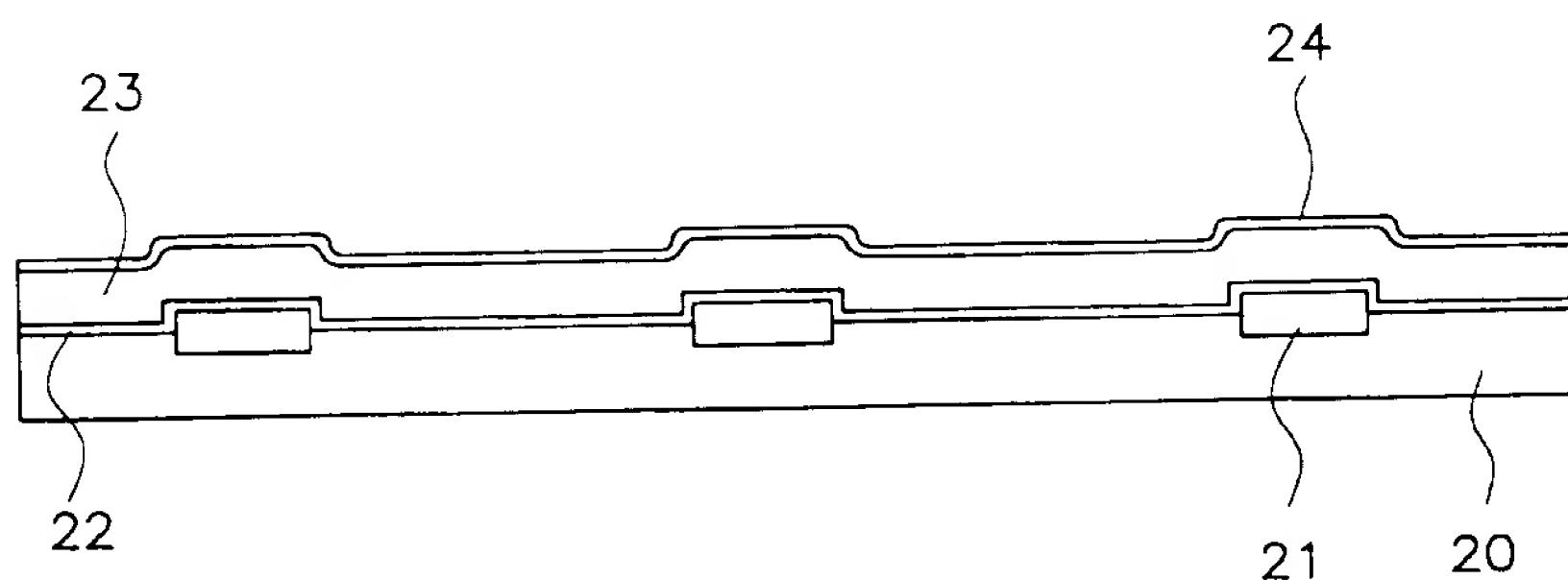
2001/7/2

1020000070219

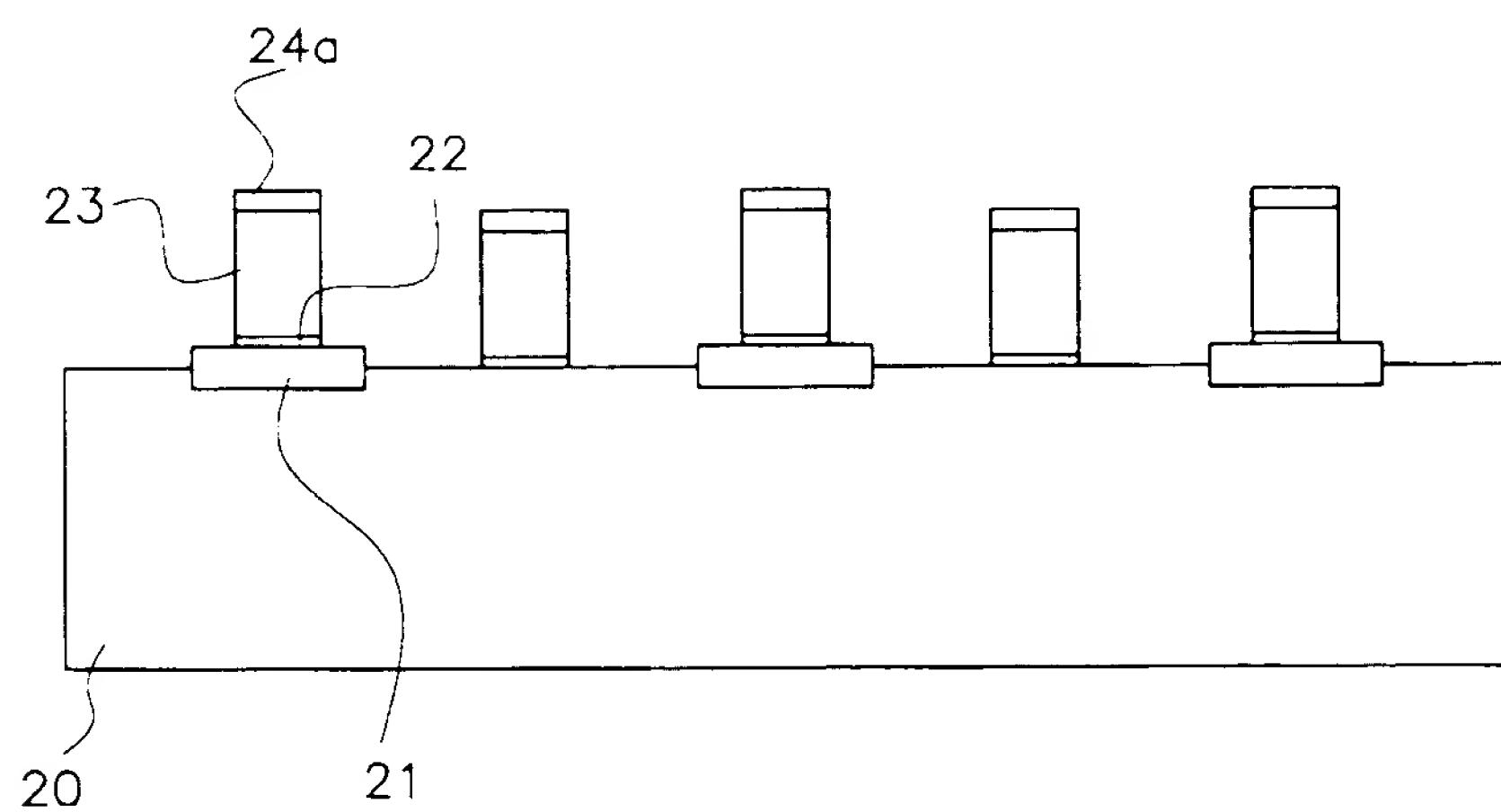
【도 2】



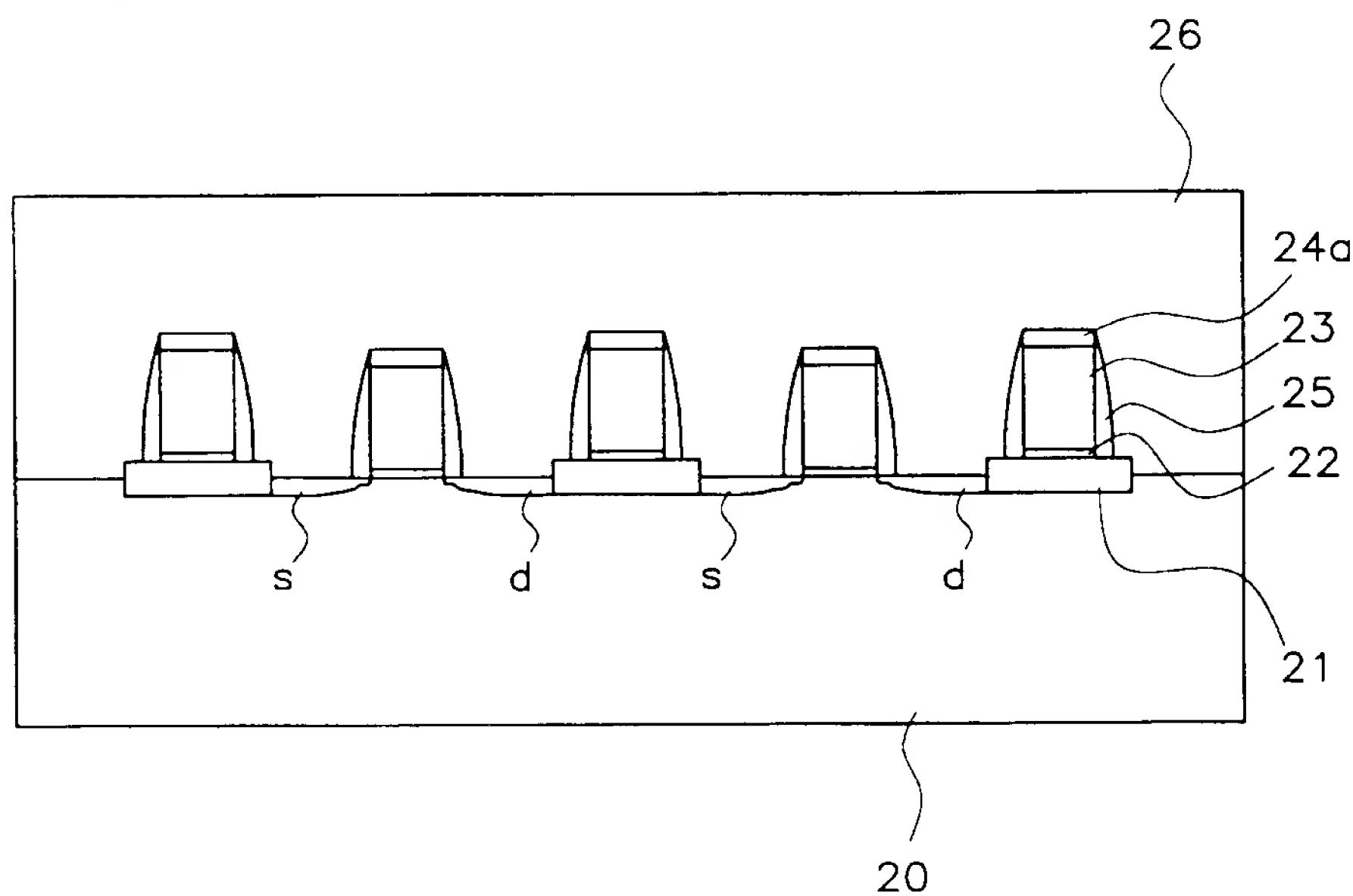
【도 3a】



【도 3b】



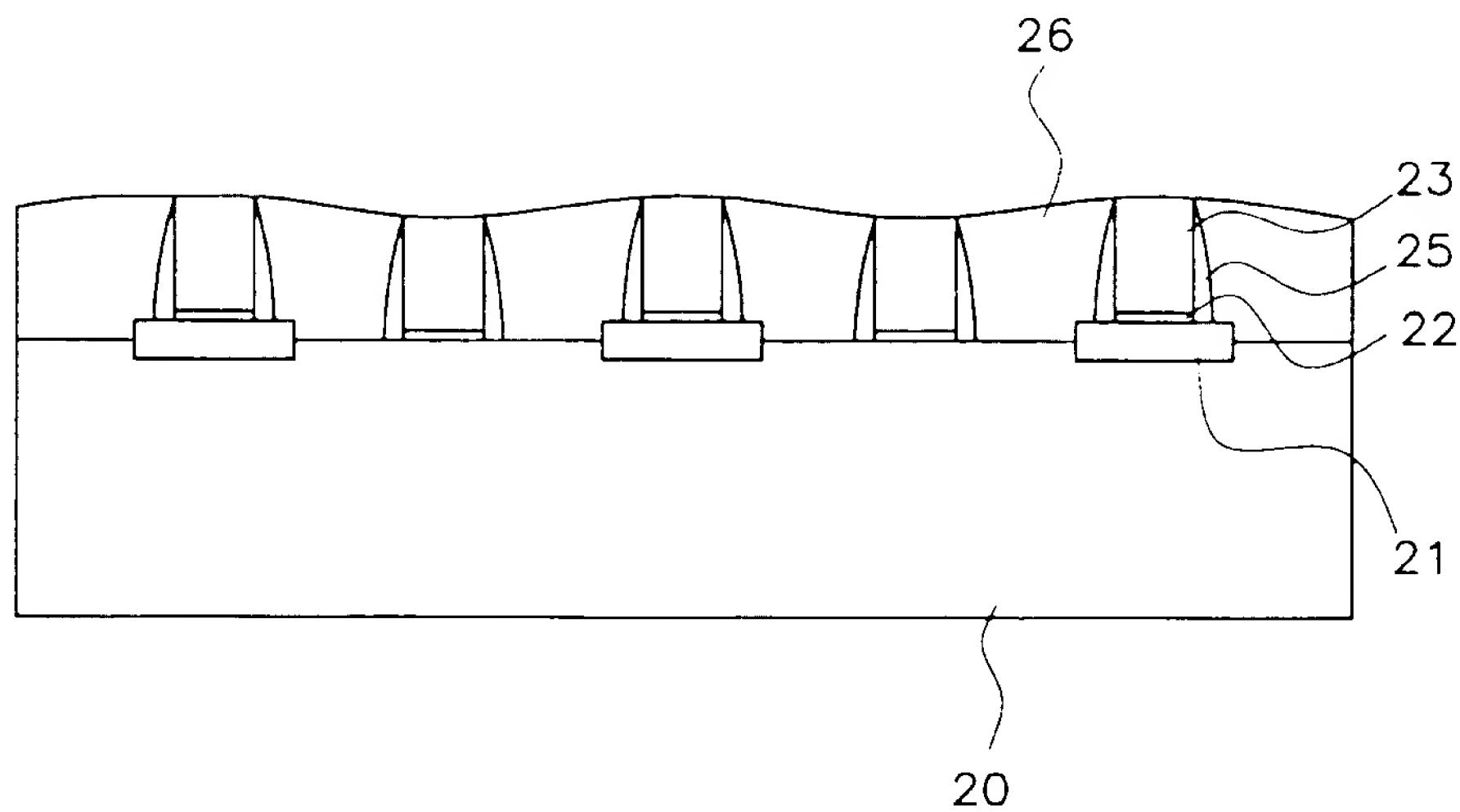
【도 3c】



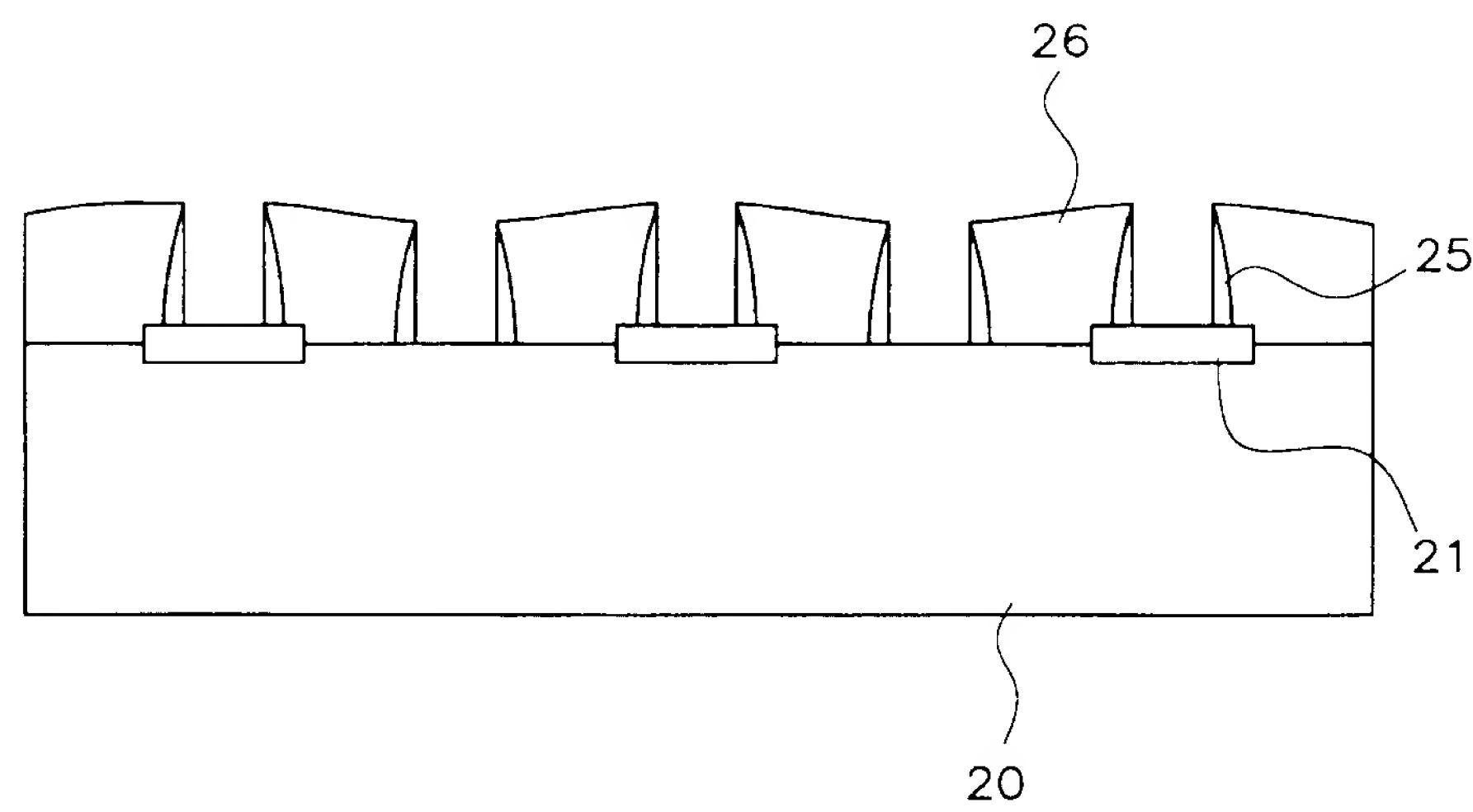
1020000070219

2001/7/2

【도 3d】



【도 3e】



2001/7/2

1020000070219

【도 3f】

